

**(2) Japanese Patent Application Laid-Open No. 4-142080 (1992)**  
**“SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD**  
**THEREOF”**

The following is English translation of an extract from the above-identified  
5 document relevant to the present application.

A semiconductor device according to the present invention is characterized  
in that it has a double-layer structure gate electrode formed on a semiconductor  
substrate comprising an n-type semiconductor layer formed through a gate insulating  
film on the semiconductor substrate, and a compound layer made by a metal and a  
10 p-type semiconductor on the n-type semiconductor layer.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-142080

⑬ Int. Cl.<sup>5</sup>

H 01 L 29/784  
21/28  
29/62

識別記号

3 0 1 A  
G

庁内整理番号

7738-4M  
7738-4M  
8422-4M  
9056-4M

⑭ 公開 平成4年(1992)5月15日

H 01 L 29/78

3 0 1 G  
3 1 1 G

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平2-263090

⑰ 出 願 平2(1990)10月2日

⑱ 発 明 者 大 村 泰 久 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 泉 勝 俊 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 山川 政樹 外1名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 半導体基板上に、該半導体基板上のゲート絶縁膜を介して形成されるn形半導体層と、該n形半導体層上のp形半導体と金属との化合物層からなる2層構造のゲート電極を有することを特徴とする半導体装置。

(2) ゲート電極材料として使用するn形シリコン薄膜をゲート絶縁膜上に形成する工程と、前記n形シリコン薄膜上にp形シリコン薄膜を形成する工程と、チタンを前記p形シリコン薄膜中にイオン注入する工程と、熱処理により前記p形シリコン薄膜とチタンとを化合させる工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、高速動作を目的とする半導体装置を安定に製造する技術に関し、特に半導体装置のゲート電極構造とその製造方法に関するものである。

(従来の技術)

従来の半導体装置の一例を第4図に示す。第4図はこのMOS型半導体装置の基本構造を示す断面図であり、1はp形シリコン基板、2はゲート酸化膜、3はn形シリコン薄膜、4はシリコンをn形化する不純物を含むチタンシリサイド薄膜、5はn形ソース領域、6はn形ドレイン領域である。

このような半導体装置において、従来ゲート電極材料はシリコンだけで構成されていた。半導体装置の動作速度は主に実効チャネル長(ソース・ドレイン間距離)で規定されるが、実際にはゲート電極薄膜のシート抵抗は有限値を有するので、微細化した半導体装置では、ゲート中を信号が伝播する時間を無視できなくなる。即ち、LSIの動作速度あるいは集積度を向上するために半導体装置の全体の寸法を縮小すると、ゲート電極薄膜のシート抵抗が益々増加し、半導体装置の動作速度は単純な縮小則で予測されるような特性に比し

て著しく悪化する。

この問題を解決するため、近年ゲート電極に金属半導体化合物を使用する方法が提案されている。例えばシリコンとチタンの化合物（チタンシリサイド）の場合、シート抵抗を数オーム程度まで下げることが知られており、さかんに検討されている。これまでの構成では、MOS形半導体装置の動作特性の安定化のためシリコンをn形化するリンを含むシリコン薄膜をゲート電極材料として使用し、この薄膜の上表面をチタンと反応させてシリサイド化していた。

〔発明が解決しようとする課題〕

しかし、n形シリコンを用いて製作したチタンシリサイドでは低シート抵抗値を得にくいことが経験的に知られており、ゲート電極全体として低シート抵抗を得る方法の開発が、半導体装置の動作の高速化の点から課題となっていた。

本発明は以上の点に鑑みてなされたものであり、その目的は、チタン等の金属と半導体薄膜との化合物と半導体薄膜とを併用したゲート電極の低抵

抗化をはかる上で、上記2層薄膜構成を有する半導体装置の動作特性全体の向上とその安定性並びに歩留まりを向上することができる半導体装置及びその製造方法を提供することにある。

〔課題を解決するための手段〕

この目的を達成するため、本発明の半導体装置は、半導体基板上に、該半導体基板上のゲート絶縁膜を介して形成されたn形半導体層と、該n形半導体層上のp形半導体と金属との化合物層からなる2層構造のゲート電極を有することを特徴とするものである。

また、本発明による半導体装置の製造方法は、半導体基板上にゲート電極を形成する際に、ゲート電極材料として使用するn形シリコン薄膜をゲート絶縁膜上に形成し、このn形シリコン薄膜上にp形シリコン薄膜を形成して、次いでチタンをそのp形シリコン薄膜中にイオン注入したのち、熱処理によりp形シリコン薄膜とチタンとを化合させることにより、2層構造のゲート電極を形成するものである。

〔作用〕

本発明においては、p形半導体と金属との化合物層の抵抗値を十分に低下させることができるので、ゲート電極の低抵抗化が可能となり、かつ半導体装置の動作の高速化がはかれる。

〔実施例〕

以下、本発明を図面に示す実施例に基づいて詳細に説明する。

第1図は本発明による半導体装置の一実施例を示す基本構造の断面図である。第1図において、1はp形シリコン基板、2はゲート酸化膜、3はn形シリコン薄膜、5はn形ソース領域、6はn形ドレイン領域、7はシリコンをp形化する不純物を含むチタンシリサイド薄膜である。すなわち、この実施例が第4図の従来のものと異なる点は、ゲート酸化膜2上にn形シリコン薄膜3を形成し、このシリコン薄膜3上にp形シリコンとチタンとの化合物層としてのチタンシリサイド薄膜7を形成して、これらn形シリコン薄膜3、チタンシリサイド薄膜7から2層薄膜構造のゲート電極を構

成したことである。

このように上記実施例によると、2層構造のゲート電極の下層材料としてn形シリコン薄膜3を用い、上層材料としてチタンシリサイド薄膜7を用いることにより、そのチタンシリサイド薄膜7の抵抗値を下げることができ、その実験結果の一例を第2図を用いて説明する。

第2図は、チタンをイオン注入したn形及びp形シリコン薄膜のシート抵抗と熱処理温度の関係を示したものである。ここで、符号Iで示す曲線はp形シリコンを用いたチタンシリサイドの場合であり、符号IIで示す曲線はn形シリコンを用いたチタンシリサイドの場合である。ただしチタン(Ti)のイオン注入条件は加速電圧30KeV、ドーズ量 $2 \times 10^{17} \text{ cm}^{-2}$ である。本実施例によれば、第2図から明らかなように、p形不純物としてボロンを含むシリコン薄膜（曲線I）では、n形不純物としてリンを含むシリコン薄膜（曲線II）と比較して、より低温の熱処理でシート抵抗を低下させやすいことがわかる。従って、半導体装置の

製造工程における熱処理温度の低温化は、微細化した半導体装置を製造する上では必須であり、p形シリコンを母材としたチタンシリサイドを使用することにより、上述した従来の課題を解決することができる。

第3図(a)~(c)は、本発明に係る半導体装置の製造方法の一実施例を示す工程断面図である。

この実施例の方法は、まず第3図(a)に示すように、単結晶シリコン基板10内部に例えば酸素イオンを180KeVで $2 \times 10^{18}$ 個/cm<sup>2</sup>イオン注入し、その後例えば1300で、4時間熱処理し、シリコン基板中にシリコン酸化膜11を形成し、またこれによって基板上表面にp形シリコン活性領域12を単結晶シリコン基板10から電気的に分離する。

次に第3図(b)に示すように、p形シリコン活性領域12上を半導体装置を形成するに必要な寸法に加工する。その後、p形シリコン活性領域12上にゲート酸化膜13を形成し、引き続きゲート酸化膜13上に例えばリンを $1 \times 10^{20}$ 個/cm<sup>2</sup>以上の高濃度を含むシリコン薄膜14を堆積し、更に

このシリコン薄膜14上に例えばボロンを $1 \times 10^{19}$ 個/cm<sup>2</sup>の高濃度を含むシリコン薄膜15を堆積する。その後、このシリコン薄膜15中にチタン(Ti)イオン19を例えば30KeVで $2 \times 10^{17}$ 個/cm<sup>2</sup>イオン注入する。次いで、この試料を例えば700で熱処理することにより、シリコン薄膜15内でシリサイド反応を起こさせる。

その後第3図(c)に示すように、チタンをイオン注入したシリコン薄膜15とシリコン薄膜14とを所定の寸法に加工して、そのシリコン薄膜14aとボロンを含むチタンシリサイド薄膜16を形成する。更に、ソース領域17とドレイン領域18を例えばイオン注入により形成する。この後の工程は、従来の製造工程に準ずる。

このように本実施例の方法によるときは、低シート抵抗のチタンシリサイド16をゲート電極用半導体薄膜上に均一に製造することができる。

なお、上記実施例では化合物層としてチタンシリサイドを用いる場合について示したが、本発明はこれに限らず、p形シリコンを母材としてチタ

ン以外の金属と化合させて形成されるシリサイドであっても同様に適用することができる。

#### (発明の効果)

以上説明したように本発明によれば、ゲート電極用n形半導体薄膜と、該半導体薄膜上のp形半導体とチタン等の金属との化合物層から2層構造のゲート電極を形成したので、そのゲート電極の抵抗値をより低下させることができ、半導体装置の動作の高速化に有利である。

また本発明の方法によれば、p形半導体へのチタンの導入をイオン注入により行うので、半導体装置内に不要な不純物の混入をもたせない。このため、チタンを導入した層の低抵抗化がはかれると共に、半導体装置の動作特性の劣化を防止でき、歩留まりが向上する。さらに、イオン注入によりチタンをp形半導体に直接導入するので、本来反応の進み方は均一であり、両者の界面は滑らかになる。これにより半導体装置の歩留まりを改善できる等の優れた効果がある。

#### 4. 図面の簡単な説明

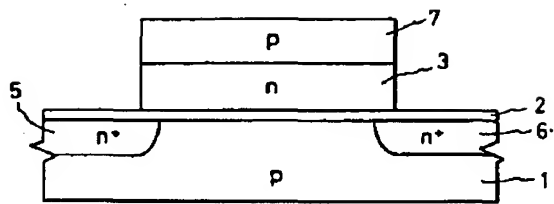
第1図は本発明による半導体装置の一実施例を示す基本構造の断面図、第2図は上記実施例の説明に供するチタンをイオン注入したn形及びp形シリコンのシート抵抗と熱処理温度の関係を示す図、第3図は本発明に係る半導体装置の製造方法の一実施例を示す工程断面図、第4図は従来の半導体装置の一例を示す構造断面図である。

1・・・p形シリコン基板、2・・・ゲート酸化膜、3・・・n形シリコン薄膜、5・・・n形ソース領域、6・・・n形ドレイン領域、7・・・シリコンをp形化する不純物を含むチタンシリサイド薄膜、13・・・ゲート酸化膜、14・・・n形シリコン薄膜、15・・・p形シリコン薄膜、16・・・チタンシリサイド薄膜。

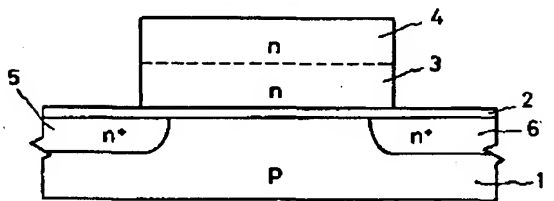
特許出願人 日本電信電話株式会社

代理人 山川 政 樹

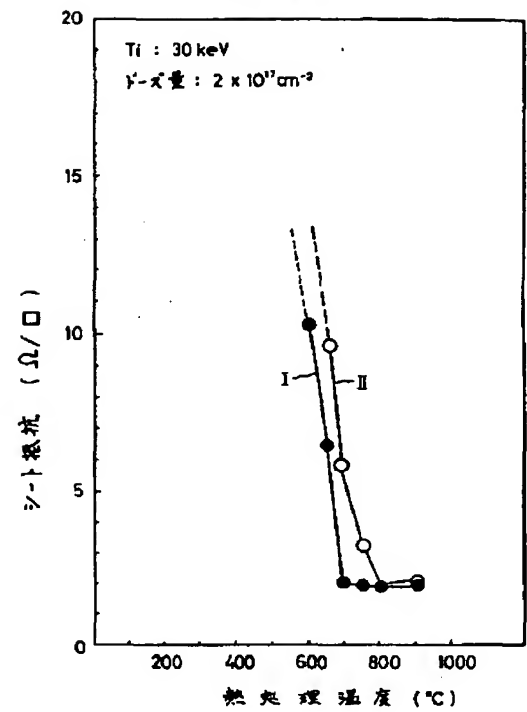
第 1 図



第 4 図



第 2 図



第 3 図

